

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-152401

(43) Date of publication of application : 31.05.1994

(51) Int.CI.

H03L 7/099  
H03L 7/093

(21) Application number : 04-302226

(71) Applicant : ASAHI KASEI MICRO SYST KK

(22) Date of filing : 12.11.1992

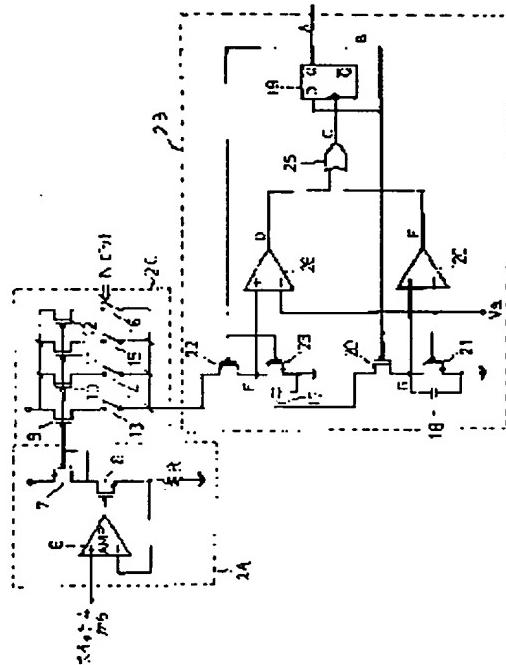
(72) Inventor : IKEDA MASAKI

## (54) PLL CIRCUIT

### (57) Abstract:

**PURPOSE:** To compensate dispersion at the time of manufacture and to fix a loop band by adjusting the gain of a voltage controlled oscillator(VCO).

**CONSTITUTION:** A V/I converter 2A converts a signal voltage from a switch 4 by using an operational amplifier 6 and outputs it through transistors(TR) 7 and 8. A gain adjuster 2C inputs the output current from the converter 2A to the gates of respective TRs 9-12 in common and according to a signal from a correction circuit 5, respective switches 13-16 are closed. Every time the number of closed switches is increased, the value of the current for flowing from the converter 2A to an ICO 2B is increased. When the number of closed switches is one, for example, the gain of the VCO 2 is minimum and every time the number of closed switches is increased, the gain of the VCO is increased. The ICO 2B is provided with two capacitors 17 and 18, the time for charging the capacitors changes corresponding to the current value from the gain adjuster 2C, and the frequency of an output signal from the VCO is changed.



## LEGAL STATUS

[Date of request for examination] 13.05.1999

[Date of sending the examiner's decision of

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-152401

(43)公開日 平成6年(1994)5月31日

(51) Int. Cl.<sup>5</sup>

H03L 7/099  
7/093

識別記号 庁内整理番号

F 1

技術表示箇所

9182-5J  
9182-5J

H03L 7/08

F

9182-5J

E

審査請求 未請求 請求項の数2 (全 10 頁)

(21) 出願番号

特願平4-302226

(22) 出願日

平成4年(1992)11月12日

(71) 出願人 000116839

旭化成マイクロシステム株式会社  
東京都渋谷区代々木1丁目24番10号

(72) 発明者

池田 雅紀  
神奈川県厚木市栄町1丁目1番3号 旭化成  
マイクロシステム株式会社内

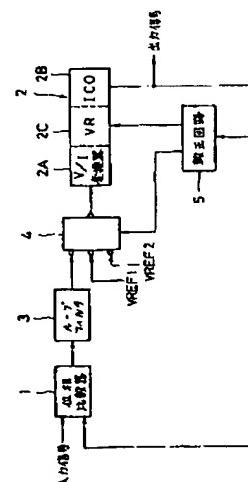
(74) 代理人 弁理士 谷 義一

(54) 【発明の名称】 P L L回路

(57) 【要約】

【目的】 ゲインを調節して製造時のばらつきを補償し、ループ帯域を一定にする。

【構成】 電圧制御発振器2が、ループフィルタ3の出力電圧を電流に変換する電圧-電流変換器2Aと、位相比較器1に出力信号を与える電流制御発振器2Bと、電圧-電流変換器2Aから電流制御発振器2Bに供給する電流を調節するゲイン調節器2Cとを有することを特徴とする。



## 【特許請求の範囲】

【請求項1】 電圧制御発振器と、入力信号の位相と前記電圧制御発振器の出力信号の位相とを比較する位相比較器と、該位相比較器の出力信号を入力して前記電圧制御発振器へ制御電圧を出力するループフィルタとから構成されるPLL回路において、

前記電圧制御発振器は、前記ループフィルタの出力電圧を電流に変換する電圧-電流変換器と、前記位相比較器に前記出力信号を与える電流制御発振器と、前記電圧-電流変換器から前記電流制御発振器に供給する電流を調節するゲイン調節器とを有することを特徴とするPLL回路。

【請求項2】 前記電圧-電流変換器に互いに異なった2つの基準電圧を選択的に与えるスイッチと、前記2つの電圧に基づく前記電圧制御発振器の2つの出力周波数の差が所定値になるように前記ゲイン調節器を制御する較正回路とを有することを特徴とする請求項1に記載のPLL回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はPLL回路に関する。

## 【0002】

【従来の技術】 図7に従来のPLL回路の構成を示す。入力信号の位相と電圧制御発振器（以下“VCO”という）103の出力信号の位相とを位相比較器101で比較し、その位相差に相当する信号がループフィルタ102を介して制御信号としてVCO103に入力される。したがって、VCO103の出力信号bは、入力信号と位相が一致する方向に制御され、入力信号にロックされる。VCO103は、入力信号の電圧値（V）を電流値（I）に変換するV/I変換器103Aと、このV/I変換器103Aの出力に応じた周波数の信号を発振し、出力する電流制御発振器（以下“ICO”という）103Bとから構成される。また、ループフィルタ102には、PLL回路の安定性の点から、ラグ・リード・フィルタがしばしば用いられる。

## 【0003】

【発明が解決しようとする課題】 図8にループフィルタにラグ・リード・フィルタを用いた従来のPLL回路のゲインおよび位相特性を示す。図8から、高い周波数では回路の時間遅れ等の影響で急激なゲインの減少および位相変化が生じることがわかる。

【0004】 PLL回路として、高い安定性を得るためにには、十分な位相余裕がある状態でゲインが1となることが望ましい（図8では周波数aでこの条件が満たされている）。

【0005】 しかしながら、実際にはこのようなPLL回路のIC化の際のばらつきによって、VCOのゲインが変化する。このためPLL回路のゲインが1となる周波数が例えばaの前後に変化し、位相余裕が減少してし

まう。その結果、PLL回路の位相伝達特性が変化し（ピーキングが生じる）、最悪の場合には発振状態となり、動作しなくなってしまう。すなわち、PLL回路の位相伝達特性とは、入力信号に一定のジッター（ノイズ）を重複し、これがどれだけ出力に現われるかを表したもの（出力ジッター／入力ジッター）であり、図9にその例を示す。図9において、ゲインが0dBの箇所は入力と同じレベルで出力にジッターが現われていることを示しており、bは、PLL回路のゲインが大きくなり位相余裕が減少したときの特性を示し、cはPLL回路のゲインが小さくなり位相余裕が減少したときの特性を示し、dは位相余裕が十分あるときの特性を示している。このように、位相余裕が減少することによって、位相伝達特性にピーキング（ジッターが増幅されている）が生じ、同期状態でPLL回路の周波数、位相精度が悪化してしまう。

【0006】 そこで本発明の目的は以上のような問題を解消したPLL回路を提供することにある。

## 【0007】

【課題を解決するための手段】 上記目的を達成するため本発明は電圧制御発振器と、入力信号の位相と前記電圧制御発振器の出力信号の位相とを比較する位相比較器と、該位相比較器の出力信号を入力して前記電圧制御発振器へ制御電圧を出力するループフィルタとから構成されるPLL回路において、前記電圧制御発振器は、前記ループフィルタの出力電圧を電流に変換する電圧-電流変換器と、前記位相比較器に前記出力信号を与える電流制御発振器と、前記電圧-電流変換器から前記電流制御発振器に供給する電流を調節するゲイン調節器とを有することを特徴とする。

## 【0008】

【作用】 本発明によれば、VCOのゲインを調節することによって、製造時のばらつきが補償され、ループ帯域が一定になる。

## 【0009】

【実施例】 以下、図面を参照して本発明の実施例を詳細に説明する。

【0010】 図1は本発明の実施例を示す。図1に示すように、位相比較器1は入力信号の位相とVCO2の出力信号の位相とを比較して、その位相差に相当する信号をループフィルタ3に入力する。4は3入力1出力型のスイッチであって、ループフィルタ3からの出力信号、および互いに異なった値の2つの基準電圧（VREF1, VREF2）を入力し、較正回路5からの制御信号に基づいて3入力のいずれか1つを選択し出力する。

【0011】 VCO2は、V/I変換器2Aと、ICO2Bと、ゲイン調節器2Cとを有する。V/I変換器2Aはスイッチ4からの出力信号を入力し、V/I変換して、ゲイン調節器2Cに入力する。ゲイン調節器2Cは50較正回路5からの信号（詳細は後述する）に基づいてV

／I変換器2AからICO2Bに流れる電流の値を調節する。

【0012】図2はVCO2の詳細を示す。V/I変換器2Aは演算増幅器6によってスイッチ4からの信号電圧を電圧に変換して、トランジスタ7, 8を介して出力する。ゲイン調節器2Cは、複数のトランジスタ9～12と各トランジスタ9～12に直列接続したスイッチ13～16とを並列接続し、各トランジスタ9～12のゲートにV/I変換器2Aからの出力電流を共通に入力し、較正回路5からの信号に基づいて各スイッチ13～16を閉じ、閉じたスイッチ数が増加する毎にV/I変換器2AからICO2Bに流れる電流値を増加させる。例えば閉じたスイッチ数が1つではVCO2のゲインは最小となり、閉じたスイッチ数が増加する毎にVCO2のゲインは増加する。ICO2Bは、2つのコンデンサ17, 18を有し、ゲイン調節器2Cからの電流の値に応じてこれらのコンデンサ17, 18への充電時間が変化し、出力信号の周波数が変化する。すなわち、今、ICO2Bの出力AがLowからHighに変化した場合を考えると、フリップフロップ19の出力BはHighからLowになり、PMOSFET20はオンし、NMOSFET21はオフになり、両FET20, 21のソース・ドレンの接続点(G)に接続したコンデンサ18は前記ゲイン調節器2Cからの電流に比例した速度で充電を始める。この時、2つのFET22, 23のソース・ドレインの接続点(F)に接続したコンデンサ17は放電する。

【0013】コンデンサ18の充電電圧が基準電位Vaを越えると、コンパレータ24はHighになり、その出力Eはオアゲート25(出力C)を介してフリップフロップ19のクロック入力端に入力し、その出力Aが反転しHighからLowになる。このとき、PMOSFET20はオフし、NMOSFET21はオンし、コンデンサ18は放電され、コンパレータ26(出力D)の+入力端に接続のコンデンサ17がゲイン調節器2Cからの電流に比例した速度で充電を開始する。

【0014】以上のようにして、ゲイン調節器2Cからの電流に対応して、コンデンサ17, 18の充電時間が変化してICO2B(VCO2)の出力信号の周波数が変化する。

【0015】図3は較正回路5の詳細を示す。27, 28は各々Jビット、Kビットカウンタ、29はLビット比較器(K>L)、30はNビットカウンタ(Nはゲイン調節器2Cのトランジスタの数と同じ)である。31は制御回路であって、前記各カウンタ27, 28, 30およびLビット比較器29を制御し、かつ、スイッチ4を制御して、3入力のうちの1つを選択させる。

【0016】Jビットカウンタ27は任意の周波数のパルス信号faをカウントし、Kビットカウンタ28はI

CO2Bの出力信号をカウントし、Lビット比較器29はKビットカウンタ28の下位Lビットの値とゲイン設定値M(M≤L)とを比較し、比較結果を制御回路31に入力する。Nビットカウンタ230は制御回路31によって設定されたビット数だけゲイン調節器2Cのスイッチをオンする。

【0017】以上の構成によるPLL回路の較正動作を説明する。なお、ここでスイッチ4に入力するVREF1, VREF2は、VREF1=VREF2+1Vとする。

【0018】① まず、Nビットカウンタ30をN=1とする(VCO2のゲインは最小)。

【0019】② VREF1をV/I変換器2Aに入力すると共に、J, Kビットカウンタ27, 28をリセットする(0にする)。

【0020】③ J, Kビットカウンタ27, 28のカウントアップをスタートする。

【0021】④ Jビットカウンタ27のフルカウントでKビットカウンタ28のカウントをストップする。

【0022】⑤ Jビットカウンタ27を0にし、VREF2をV/I変換器2Aに入力する。

【0023】⑥ Jビットカウンタ27のカウントアップおよびKビットカウンタ28のカウントダウンをスタートする。

【0024】⑦ Jビットカウンタ27のフルカウントでKビットカウンタ28のカウントをストップし、このときのKビットカウンタ28のカウント値をQとする。

【0025】⑧ Lビット比較器29において、Q<Mであれば、VCO2のゲインが小さいので、Nビットカウンタ30を1増し(VCO2のゲインアップ)、②に戻ってそれ以降の動作をくり返し、一方、Q≥Mであれば、VCO2のゲインが適正であるので、較正を終了し、スイッチ4によってループフィルタ3の出力を選択する。

【0026】以上のようにして、VCO2のゲインを調節できるので、PLL回路の製造時のばらつきを補償して、PLL回路のゲインを一定にすることができる、十分な位相余裕が得られる。さらに、PLLループの帯域(位相伝達特性において0dBとなる周波数幅)を一定にことができ、また、FM復調回路にPLL回路を用いると、復調ゲイン(入力信号の周波数変化に対してVCOへの制御電圧が変化する割合)が一定になる。

【0027】図4は本発明の他の実施例を示す。図4において、図1と同一構成については同一符号を付す。図4に示すように、32は較正回路であって、図1に示す較正回路5の構成の他に後述のような構成をさらに有し、D/A変換器34に後述のようなカウンタのカウントデータを入力する。

【0028】33はVCOであって、V/I変換器の部分の構成が後述のように図1のV/I変換器と異なって

おり、他はVCO2と同様である。

【0029】図5はVCO3の詳細を示す。33AはV/I変換器であって、スイッチ4からの出力信号電圧を電流に変換する演算増幅器からなる第1変換部35と、D/A変換器34からの信号電圧を電流に変換する演算増幅器からなる第2変換部36と、第1、第2変換部35、36が出した電流に比例した電流を出力する2つの電流ミラー部37、38とを有し、2つの電流ミラー部37、38の合計出力電流をゲイン調節部2Cを介して1CO2Bに入力する。

【0030】図6は較正回路32の詳細を示す。制御回路39はJビットカウンタ27、Kビットカウンタ28、Lビット比較器29、Nビットカウンタ30を制御し、スイッチ4を制御し、入力切換器40を制御してゲイン設定値Mおよび自走周波数設定値M' ( $L \geq M'$ )のいずれかをLビット比較器29に入力し、さらに、Pビットカウンタ41を制御する。D/A変換器34はPビットカウンタ41のカウント値に応じたアナログ電圧をV/I変換器33Aの第2変換部36に入力する。他の動作は図3と同様である。

【0031】以上の構成による図4に示すPLL回路の較正動作を説明する。

【0032】(a) ゲイン設定値Mを入力切換器40によって選択し、Pビットカウンタ41のカウント値を中央値とし、前記図3の構成の動作の①~⑩を実施する。

【0033】(b) 自走周波数設定値M'を入力切換器40によって選択し、VREF1をV/I変換器33Aの第1変換部35に入力し、Pビットカウンタ41のカウント値を0にする(これによって、第2変換部36に入力される電圧は最小となる)。

【0034】(c) J、Kビットカウンタ27、28共に0にする。

【0035】(d) J、Kビットカウンタ27、28のカウントアップをスタートする。

【0036】(e) Jビットカウンタ27のフルカウントでKビットカウンタ28のカウントをストップし、

このときのKビットカウンタ28の値をQ'とする。

【0037】(f) Lビット比較器29において、 $Q' < M'$  であればPビットカウンタ41を1増し(これによってVCO3の出力周波数が高くなる)、

(g) 戻ってそれ以降の動作をくり返し、一方、 $Q' > M'$  であれば周波数調整を終了し、スイッチ4によってループフィルタ3の出力を選択する。

【0038】以上のようにして、VCO3のゲインを調節でき、さらに自走周波数を調節できるので、前記実施例で得られる効果に加えて、周波数引込み範囲を狭くでき、PLL回路の動作を一層安定にすることができる。

【0039】

【発明の効果】以上説明したように本発明によれば、PLL回路のゲインを容易に調節することができるので、製造時のばらつきを補償でき、したがってループ帯域を一定にでき、十分な位相余裕を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】同実施例における電圧制御発振器のブロック図である。

【図3】同較正回路のブロック図である。

【図4】本発明の他の実施例のブロック図である。

【図5】同実施例における電圧制御発振器のブロック図である。

【図6】同較正回路のブロック図である。

【図7】従来のPLL回路のブロック図である。

【図8】同PLL回路のゲイン・位相特性を示す図である。

【図9】PLL回路の位相伝達特性を示す図である。

【符号の説明】

1 位相比較器

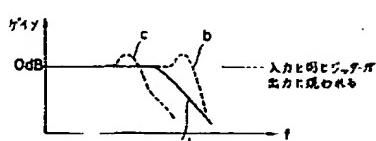
2 電圧制御発振器

3 ループフィルタ

4 スイッチ

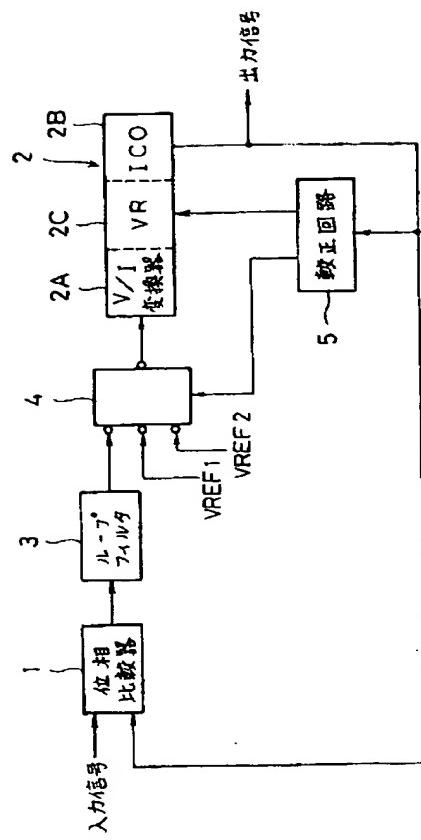
5 較正回路

【図9】

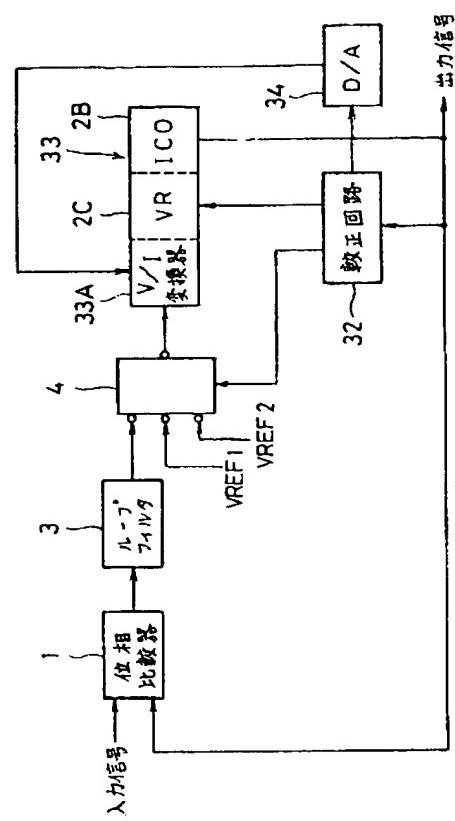


(5)

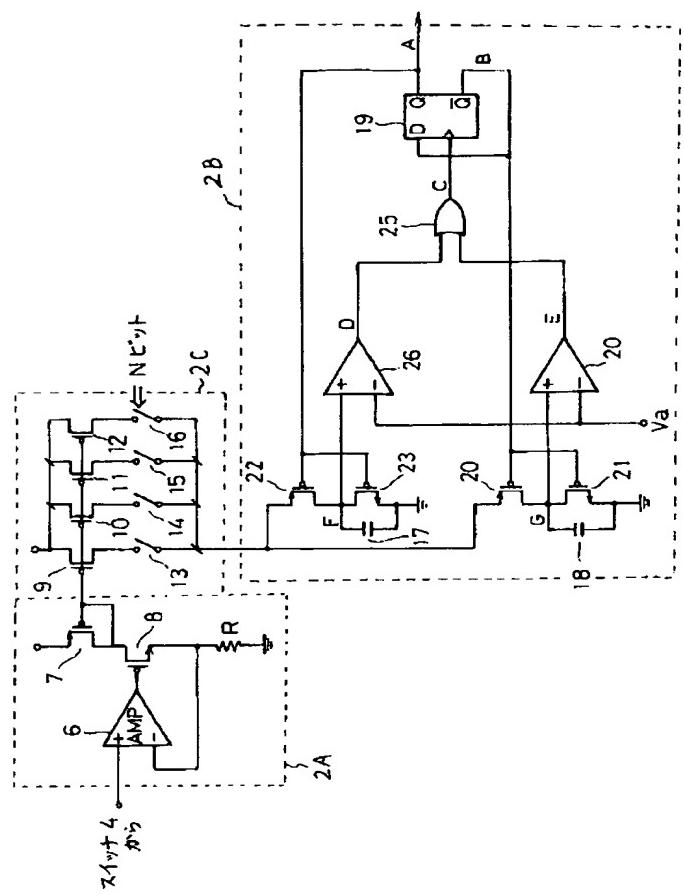
[図1]



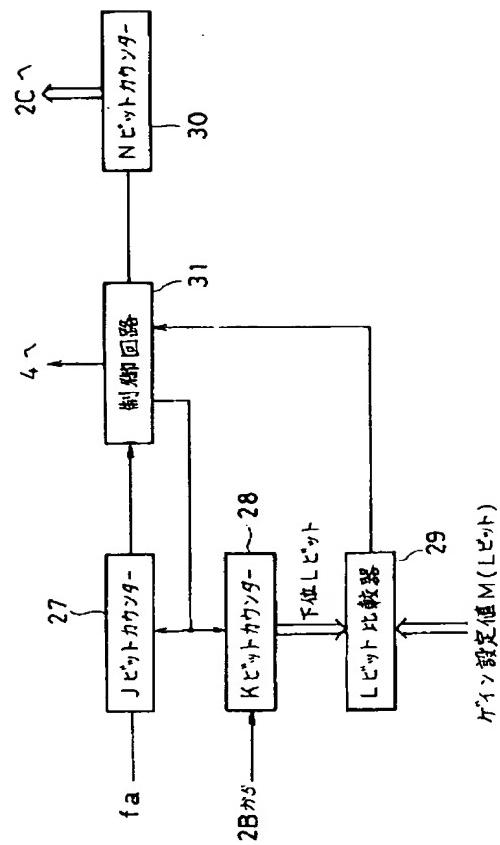
[図4]



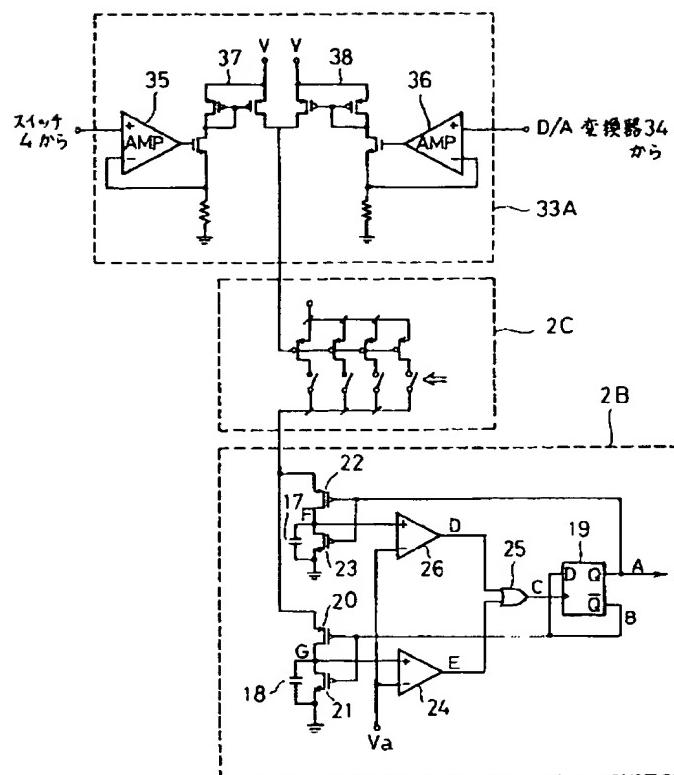
[図2]



【図3】

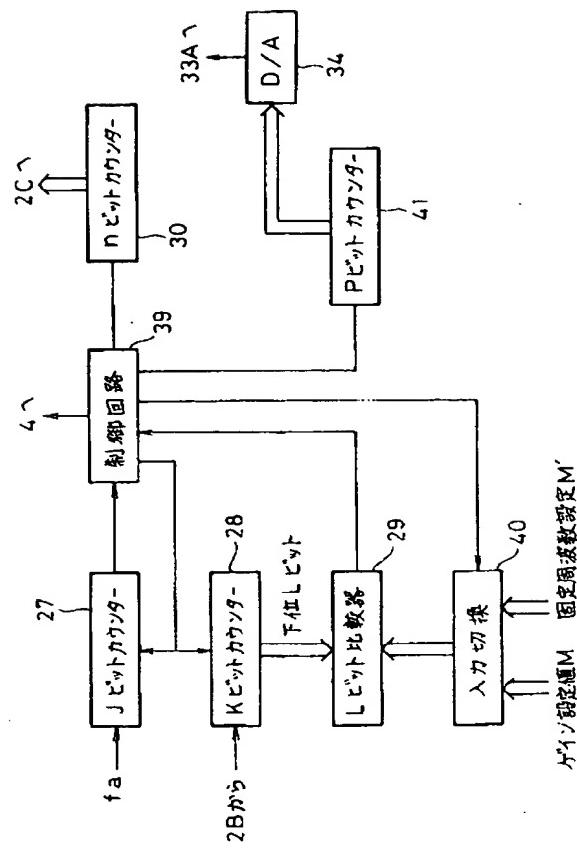


〔図5〕



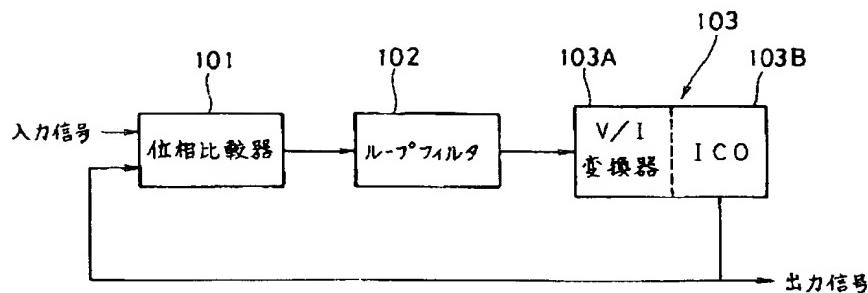
(9)

[図6]



(10)

[図7]



[図8]

